

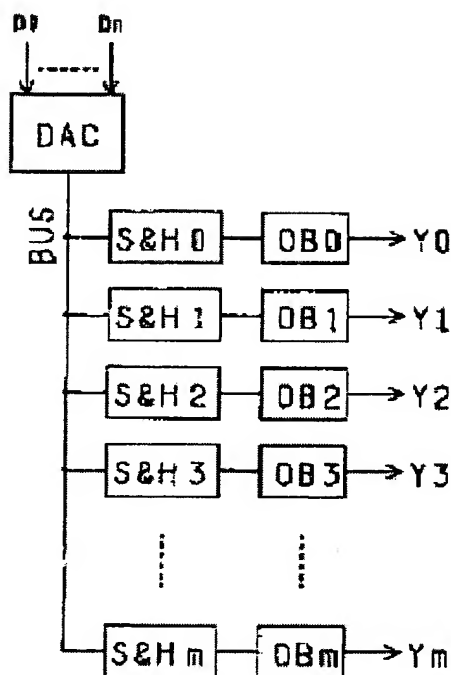
DEVICE FOR DRIVING LIQUID CRYSTAL

Patent number: JP5204339
Publication date: 1993-08-13
Inventor: KUROKAWA KAZUNARI; KATAYANAGI HIROSHI; YASUKAWA SHINJI;
 WATANABE HIROSHI; KITAGAWA KATSUYUKI
Applicant: HITACHI LTD; HITACHI DEVICE ENG
Classification:
 - international: G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7): G02F1/133;
 G09G3/36
 - european:
Application number: JP19920035630 19920127
Priority number(s): JP19920035630 19920127

Report a data error here

Abstract of JP5204339

PURPOSE: To minimize the area of a chip by converting a digital input signal into a gradation voltage, fetching the converted output signal to a holding circuit after sampling, and supplying the holding signal to a driving circuit.
CONSTITUTION: Digital signals consisting of plural bits D_0 - D_n are inputted through a digital/analogue converter DAC and converted into the analogue signals. The input signals which are converted into the analogue signals by the digital/analogue converter DAC are fetched subsequently into sample-hold circuits S&H0-S&Hm provided corresponding to each signal line Y_0 - Y_m through an internal signal line BUS. The holding signals of the sample-hold circuits S & H0-S & Hm are transmitted to the signal lines Y_0 - Y_m through a driving circuit for output OB0-OBm. The analogue voltage signal are amplified in power to be outputted by the driving output circuit OB0-OBm.



Data supplied from the esp@cenet database - Worldwide

特開平5-204339

(43) 公開日 平成5年(1993)8月13日

(51) Int. Cl. ⁵	識別記号	F I
G09G 3/36		7319-5G
G02F 1/133	575	7820-2K

審査請求 未請求 請求項の数 5 (全10頁)

(21) 出願番号 特願平4-35630

(22) 出願日 平成4年(1992)1月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 黒川 一成

千葉県茂原市早野3300番地 株式会社日立

製作所茂原工場内

(72) 発明者 片柳 浩

千葉県茂原市早野3300番地 株式会社日立

製作所茂原工場内

(74) 代理人 弁理士 徳若 光政

最終頁に続く

(54) 【発明の名称】 液晶駆動装置

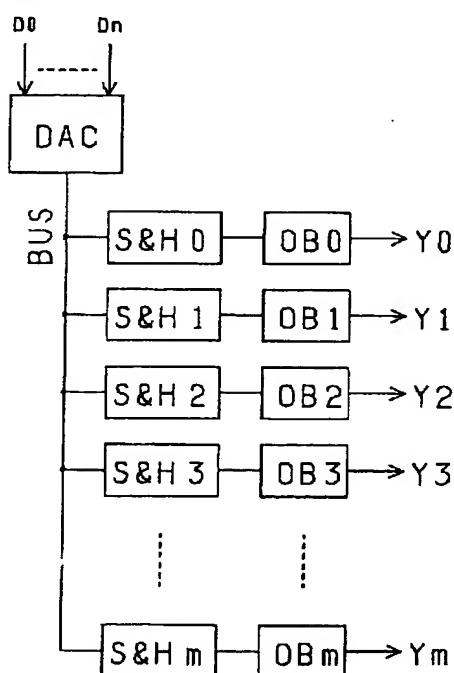
(57) 【要約】

【目的】 多階調化を可能にしつつ、駆動回路でのチップ面積を小さくした液晶駆動装置を提供する。画面の大型化に伴う動作の高速化を実現する。

【構成】 信号変換回路により階調表示のためのデジタル入力信号を階調電圧に変換し、その変換出力信号をサンプリングして保持する保持回路に取り込み、この保持回路の保持信号を駆動回路に供給して液晶表示パネルの信号線電極を駆動する。

【効果】 デジタル入力に対して内部でアナログ的にサンプリングと信号保持を行うので、階調数に関係なく駆動出力回路が1ないし2個程度のMOSFETにより構成できるから、駆動出力回路部分でのチップ面積を小さくできる。

図1



【特許請求の範囲】

【請求項 1】 階調表示のためのデジタル入力信号を受けてそれに対応した階調電圧に変換する信号変換回路と、この信号変換回路の出力信号をサンプリングして保持する保持回路と、この保持回路の保持信号を受けて液晶表示パネルの信号線電極を駆動する駆動出力回路とを含むことを特徴とする液晶駆動装置。

【請求項 2】 上記信号変換回路は、デジタル信号を受けるデコーダ回路と、このデコーダ回路の出力信号により階調電圧を出力させるアナログマルチプレクサとからなることを特徴とする請求項 1 の液晶駆動装置。

【請求項 3】 上記信号変換回路は複数の N 個からなり、それに対応してサンプリングして保持する保持回路が複数の N 組に分割され、上記シリアルに入力されるデジタル入力信号の入力周期に対して信号変換回路と保持回路のサンプリング動作の周期が N 倍に長くされることを特徴とする請求項 1 又は請求項 2 の液晶駆動装置。

【請求項 4】 上記信号変換回路の出力と保持回路との間には切り換えアナログスイッチ回路が設けられ、上記信号変換出力信号とアナログ入力信号とが選択的に切り換え可能にされることを特徴とする請求項 1、請求項 2 又は請求項 3 の液晶駆動装置。

【請求項 5】 上記液晶駆動装置は、1つの半導体集積回路装置により構成されるものであることを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 の液晶駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、液晶駆動装置に関し、特に階調表示用のデジタル入力供給される液晶駆動装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】 デジタル入力の液晶ドライバの例としては、(株)日立製作所 1990 年発行の『日立 LCD ドライバデータブック』第 653 頁～第 665 頁がある。このデジタル入力のドライバは、デジタル入力データを時系列的にラッチ回路に取り込み、それをデコードして階調電圧を出力させる出力用のスイッチ MOSFET をオン状態にして、対応した階調電圧を出力させる。このスイッチ MOSFET は、N チャンネル型 MOSFET と P チャンネル型 MOSFET からなる CMOS スイッチ回路が用いられている。

【0003】

【発明が解決しようとする課題】 高品質の表示画面を得るために、液晶表示装置では多階調化が進められている。このような多階調化に伴い、1つの信号線電極当たりのスイッチ MOSFET の数が増加する。このスイッチ MOSFET は、比較的大きな容量を持つ信号線電極を駆動するために、比較的大きなサイズの MOSFET が用いられる。このため、多階調化に伴い 1つの半導体

集積回路装置により駆動できる信号線電極数が少なくなる。一方、液晶表示装置では画面の大型化により信号線電極数は益々増大する傾向にあるので、上記多階調化と相俟って液晶表示パネルを駆動する駆動用の半導体集積回路装置を多く必要とする。また、液晶表示装置の画面の大型化に伴い、一定期間に取り込むデジタル信号量が増大するので、それに伴い信号取り込みの高速化が要求されることになる。この発明の目的は、多階調化を可能にしつつ、駆動回路でのチップ面積を小さくした液晶駆動装置を提供することにある。この発明の他の目的は、画面の大型化に伴う動作の高速化を実現した液晶駆動装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0004】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、信号変換回路により階調表示のためのデジタル入力信号を階調電圧に変換し、その変換出力信号をサンプリングして保持する保持回路に取り込み、この保持回路の保持信号を駆動回路に供給して液晶表示パネルの信号線電極を駆動する。

【0005】

【作用】 上記した手段によれば、デジタル入力に対して内部でアナログ的にサンプリングと信号保持を行うので、階調数に無関係に駆動出力回路が 1 ないし 2 個程度の MOSFET により構成できるから、駆動出力回路部分でのチップ面積を小さくできる。

【0006】

【実施例】 図 10 には、この発明が適用される液晶表示装置の一実施例の概略ブロック図が示されている。同図において、液晶表示パネル LCD は、横方向に延長される複数の走査線 G1 ないし G480 と、縦方向に延長される複数の信号線 Y0 ないし Ym を持つ。上記走査線と信号線の各交差点にはそれぞれ TFT トランジスタと画素電極からなる 1つの画素 PX が配置される。

【0007】 液晶表示パネル LCD は、大まかにいうと、これらの走査線と信号線及び各交差点に設けられる TFT トランジスタや画素電極が 1 枚の透明ガラス基板上に形成され、これに対向して透明なガラス基板に共通電極を設けてその間に液晶を封入することによって形成される。特に制限されないが、カラー表示を行う場合には、共通電極側にはカラーフィルタや遮光用ブラックマトリックスパターン等が形成される。

【0008】 上記走査線 G1 ないし G480 のうち、奇数番目の走査線電極 G1, G3...G479 は、特に制限されないが、左側に配置される第 1 の走査線駆動回路 GDL により順次を選択状態にされる。残りの偶数番目の走査線 G2, G4...G480 は、右側に配置される第 2 の走査線駆動回路 GDR により順次を選択

状態にされる。すなわち、上記 2 つの走査線駆動回路 GDL と GDR とにより走査線が交互に選択されることにより、走査線 G 1 から G 4 8 0 まで順次に選択されることになる。これらの走査線駆動回路 GDL、GDR は、選択信号 S 1 及び S 2 によりその動作が制御され、特に制限されないが、図示しない同期信号によってシフト動作を行うシフトレジスタ及び駆動回路から構成される。

【 0 0 0 9 】なお、同図において、液晶表示パネル LCD の左右に、1 つの走査線駆動回路 GDL 及び GDR を配置しているが、独立した 2 つの走査線駆動回路が在る10 10 というように限定されるものではない。すなわち、上記走査線駆動回路 GDL と GDR は、1 つの半導体集積回路装置により構成されるものであってもよい。あるいは、液晶表示パネルの走査線電極を複数に分割して、各分割された走査線電極に対応して上記回路 GDL 及び GDR を持つ複数の半導体集積回路装置を用いるものであってもよい。

【 0 0 1 0 】上記信号線 Y 0 ないし Ym には、液晶駆動装置としての信号線駆動回路 DD により駆動信号が供給される。この実施例の信号線駆動回路 DD は、後述する20 20 ようにシリアルに供給される階調表示に対応した複数ビットからなるデジタル入力データ DIN をアナログ信号に変換するとともにサンプリング&ホールド回路により時系列的に取り込み、駆動出力回路を通してパラレルに変換して出力する。上記のようなシリアル/パラレル (S/P) 変換動作によって、1 水平ライン分に対応した階調画素データがシリアルに入力され、それがアナログ変換とパラレルに変換されて上記各信号線 Y 0 ないし Ym に対して出力される。液晶表示パネル LCD の画面の大型化等により、信号線の数が多いときには、信号線30 30 駆動回路 DD は、複数からなる半導体集積回路装置により構成されり液晶駆動装置により構成される。

【 0 0 1 1 】このような画素信号のパラレル出力に同期して、走査線が順次に選択されて上記のように各信号線 Y 0 ないし Ym を通して入力された画素信号が走査線の選択レベルによりオン状態にされた TFT トランジスタを介して画素電極に書き込まれて 1 フィールド間保持される。液晶の交流駆動のために、次のフィールドでは、極性が逆にされた画素信号が形成されて同じ画素電極に書き込まれる。

【 0 0 1 2 】タイミング制御回路 TG は、同期信号 SYNC を受けて、上記シリアル入力とサンプリング動作のためのクロックパルス CK 等及び上記走査線駆動回路 GDL、GDR を動作状態にする選択信号 S 1、S 2 及び図示しないがそのシフト動作に必要なタイミング信号を発生させる。

【 0 0 1 3 】図 1 には、この発明に係る液晶駆動装置としての上記信号線駆動回路 DD の一実施例の概略ブロック図が示されている。同図の各回路ブロックは、特に制限されないが、公知の半導体集積回路の製造技術によつ40 40

て、単結晶シリコンのような 1 個の半導体基板上において形成される。

【 0 0 1 4 】この実施例では、多階調化に対して駆動出力回路の半導体基板上での占有面積を小さくするために、複数ビット D 0 ~ D n からなるデジタル入力信号はデジタル/アナログ変換回路 DAC により入力され、ここでアナログ信号に変換される。上記デジタル/アナログ変換回路 DAC によりアナログ変換された入力信号は、内部の信号線 BUS を通して各信号線 Y 0 ~ Ym に対応して設けられるサンプリング/ホールド回路 S & H 0 ~ S & H m に順次に取り込まれる。各サンプリング/ホールド回路 S & H 0 ~ S & H m の保持信号は、駆動出力回路 OB 0 ~ OB m を通して信号線 Y 0 ~ Ym に伝えられる。

【 0 0 1 5 】上記駆動出力回路 OB 0 ~ OB m は、アナログ的な電圧信号を受けて電力増幅して出力するものであり、演算増幅回路等から構成できる。それ故、階調数に無関係に大きな電流供給能力を持つ MOSFET としては、1 ないし 2 個の出力 MOSFET から構成できるので、駆動出力部での占有面積を大幅に小さくすることができる。なお、上記サンプリング/ホールド回路 S & H や、駆動出力回路 OB を構成する入力段の差動増幅回路等は小さなサイズの MOSFET から構成できるので、その素子数そのものが比較的多くなくても全体に占める占有面積は小さくできる。

【 0 0 1 6 】この実施例では、内部バス BUS を 1 本の信号線により構成できる。このため、従来のデジタル信号の形態でシリアル/パラレル変換する駆動回路のように多階調電圧を各駆動回路に伝える内部バスや多階調電圧に対応した選択信号が不要となり、これらが 1 本の内部バス BUS に置き換えられるから、この点からも占有面積を小さくすることができるものとなる。

【 0 0 1 7 】図 2 には、上記液晶駆動装置としての信号線駆動回路 DD の他の一実施例の概略ブロック図が示されている。この実施例では、高速動作化のためにデジタル/アナログ変換回路が DAC 0、DAC 1 のように 2 組設けられる。一方のデジタル/アナログ変換回路 DAC 0 の出力信号は内部バス BUS 0 に伝えられる。この内部バス BUS 0 には偶数の信号線 Y 0、Y 2、Y 40 40 4 ・ ・ ・ に対応したサンプリング/ホールド回路 S & H 0、S & H 2、SH 4 ・ ・ ・ が接続される。他方のデジタル/アナログ変換回路 DAC 1 の出力信号は内部バス BUS 1 に伝えられる。この内部バス BUS 1 には奇数の信号線 Y 1、Y 3、Y 5 ・ ・ ・ に対応したサンプリング/ホールド回路 S & H 1、S & H 3、SH 5 ・ ・ ・ が接続される。

【 0 0 1 8 】このように 2 組に分けてデジタル/アナログ変換回路 DAC 0、DAC 1 と内部バス BUS 0、BUS 1 を設けてサンプリング/ホールド回路 S & H 0 と S & H 1 のように偶数と奇数に分けることにより、こ

これらの回路をデジタル入力信号D 0 ~ D nの入力タイミングに対して交互に動作させればよい。これにより、液晶駆動装置としての半導体集積回路の外部からみた動作周波数を実際の内部回路の動作周波数より2倍に高くすることができる。これにより、内部回路を構成する素子等の構造はそのままでも、外部回路側でのデジタル入力信号の供給能力に制限がなければ、横方向に2倍に画面を大きくした、言い換えるならば、信号線の数が2倍にされた液晶表示パネルの駆動も可能になる。

【0019】図3には、上記液晶駆動装置としての信号線駆動回路DDの他の一実施例の概略ブロック図が示されている。この実施例では、内部ではアナログ信号の形態でサンプル／ホールドを行うことに着目し、内部バスBUSに切り換えスイッチSWが設けられる。このスイッチSWは、上記デジタル／アナログ変換回路DACの出力とアナログ入力信号VIDEOの切り換えを行う。すなわち、この実施例の液晶駆動装置では、デジタル入力とアナログ入力の双方に選択的に用いることができる。例えば、パーソナルコンピュータ等のディスプレイとして用いるときには、スイッチSWを接点a側に

してデジタル入力モードとし、テレビジョン放送やVTR（ビデオ・テープ・レコーダ）等のディスプレイとして用いるときには、スイッチSWを設定b側に

してアナログ入力モードとする。これにより、デジタル入力とアナログ入力の両機能を持つ液晶表示装置を得ることができる。

【0020】図4には、上記液晶駆動装置としての信号線駆動回路DDの一実施例の回路図が示されている。同図には、上記図1の実施例に対応したデジタル／アナログ変換回路DACとサンプリング／ホールド回路S & Hの一実施例の具体的構成が示されている。

【0021】この実施例では、発明の理解を容易にするために、3ビットのデジタル信号D 0 ~ D 2により8階調の表示を行う例が示されている。デジタル／アナログ変換回路DACは、3ビットのデジタル信号D 0 ~ D 2を受けて8通りのデコード出力信号を形成するデコード回路DECと、8階調からなる電圧V 0 ~ V 7を選択するバストライバBDVとしてのスイッチMOSFET Q 1 ~ Q 8から構成される。上記階調電圧V 0 ~ V 7は、基準となる定電圧を8通りに分割された電圧発生回路により構成される。このような階調電圧の発生回路は、従来のデジタル入力方式のものと類似のものを用いることができる。ただし、スイッチMOSFET Q 1 ~ Q 8は、次に説明するような半導体集積回路に内蔵されるサンプリング／ホールド回路S & Hを構成する比較的小さな容量値しか持たないキャパシタを駆動するだけで十分であるので、小さなサイズのMOSFETにより構成することができる。

【0022】上記のようなデコード回路DECとバストライバを構成するスイッチMOSFET Q 1 ~ Q 3を用

いることにより、簡単な回路構成によりデジタル／アナログ変換動作を行わせることができる。

【0023】サンプリング／ホールド回路の具体的構成は、信号線Y 0に対応したサンプリング／ホールド回路S & H 0が代表として例示的に示されているように、一対の回路から構成される。すなわち、スイッチS 0 0とキャパシタC 0 0及びスイッチS 0 1とキャパシタC 0 1から構成される。これらの一対のサンプリング／ホールド回路に対応してボルテージフォロワ形態の駆動出力回路OB 0 0とOB 0 1が設けられる。これらの駆動出力回路OB 0 0とOB 0 1とは、出力が共通化されて信号線Y 0を駆動する。ただし、後述するように出力選択信号により上記駆動出力回路OB 0 0とOB 0 1は、選択的に動作状態にされる。言い換えるならば、一方が動作状態にされると、他方は出力ハイインピーダンス状態にされる。

【0024】図5には、上記図4の実施例回路の動作を説明するためのタイミング図が示されている。クロックパルスCKに同期してデジタル入力信号D 0 ~ D 2が供給される。先頭のデータ0が内部バスBUSに伝えられるタイミングでスイッチS 0 0がオン状態となり、キャパシタC 0 0にデータ0が書き込まれる。このスイッチS 0 0とキャパシタC 0 0により構成されるサンプリング／ホールド回路S & H 0は先頭のデータ0を保持する。以下、クロックパルスCKに同期してシリアルにデータ1、2、...、mのデータが入力されて、デコード回路DECとバストライバBDVの動作のために1クロック遅れて内部バスに伝えられるので、それに対応して一方のサンプリング／ホールド回路S & H 1 0、...、S & H m 0に上記データ1、...、mが取り込まれる。

【0025】上記1ライン分のデータの取り込みが終了すると、出力選択信号OE 0がハイレベルになって、上記一方のサンプリング／ホールド回路S & H 1 0、...、S & H m 0に対応した駆動出力回路OB 0 0 ~ OB m 0を動作状態にするので、信号線Y 0 ~ Y mに上記取り込まれたデータ0 ~ mに対応した階調電圧が一斉に書き込まれる。

【0026】上記のような1ライン分の信号線Y 0 ~ Y mへの書き込み動作と並行して、次の走査ラインに対応した階調データの取り込みが行われる。すなわち、上記同様にしてクロックパルスCKに同期してデジタル入力信号D 0 ~ D 2が供給されて先頭のデータ0'が内部バスBUSに伝えられるタイミングでスイッチS 0 1がオン状態となり、キャパシタC 0 1にデータ0'が書き込まれる。このスイッチS 0 1とキャパシタC 0 1により構成される他方のサンプリング／ホールド回路S & H 0 1は先頭のデータ0'を保持する。以下、クロックパルスCKに同期してシリアルにデータ1'、2'、...、m'のデータが入力されて、デコード回路DECとバストライバBDVの動作のために1クロック遅れて内部バスに

伝えられるので、それに対応して他方のサンプリング／ホールド回路 S & H 1 1 S & H m 1 に上記データ 1' m' が取り込まれる。

【 0 0 2 7 】 上記 1 ライン分のデータの取り込みが終了すると、同図では省略されているが出力選択信号 O E 0 がロウレベルにされて代わった O E 1 がハイレベルになって、上記他方のサンプリング／ホールド回路 S & H 1 1 S & H m 1 に対応した駆動出力回路 O B 0 1 ~ O B m 1 を動作状態にするので、信号線 Y 0 ~ Y m には上記取り込まれたデータ 0' ~ m' に対応した階調電圧が一斉に書き込まれる。

【 0 0 2 8 】 上記のような 1 ライン分の信号線 Y 0 ~ Y m への書き込み動作と並行して、更に次の走査ラインに対応した階調データの取り込みが行われる。すなわち、同図では省略されているが、上記一方のサンプリング／ホールド回路 S & H 1 0 S & H m 0 に次の走査ラインに対応したデータの取り込みが行われる。このような交互のサンプリング／ホールド回路と駆動出力回路の動作により、走査線電極動作に対応した液晶表示パネルの信号線の駆動が行われる。

【 0 0 2 9 】 図 6 には、上記液晶駆動装置としての信号線駆動回路 D D の更に他の一実施例の概略ブロック図が示されている。この実施例では、アナログ／デジタル変換回路として、前記実施例のようにデコーダ回路 D E C とバสดライバ B V D が用いられる。この実施例では、バสดライバが B V 0 ~ B V 2 のように 3 つ設けられ、それに対応して 3 本の内部バス B U S 0 ~ B U S 2 が設けられる。上記のような 3 本の内部バス B U S 0 ~ B U S 2 に対応して、サンプリング／ホールド回路と駆動出力回路 O B は、3 分割されて、内部バス B U S 0 にはサンプリング／ホールド回路 S & H 0、S & H 3 . . .、内部バス B U S 1 にはサンプリング／ホールド回路 S & H 1、S & H 4 . . . 内部バス B U S 2 にはサンプリング／ホールド回路 S & H 2、S & H 5 . . . のようにそれぞれが 3 つ置きに順次接続される。なお、同図では、複数ビットからなるデジタル信号 D 0 ~ D n として、3 ビット D 0 ~ D 2 の例が示されている。

【 0 0 3 0 】 この構成では、図 7 のタイミング図に示すように、入力デジタル信号 D 0 ~ D 2 により、0 ~ 2 の 3 周期分の時間 T に対応して、バสดライバ B D V 0 ~ B D V 2 とサンプリング／ホールド回路 S & H の動作周期を長くすることができる。すなわち、外部からみかけ上内部回路の動作周波数を 3 倍に速くすることができる。

【 0 0 3 1 】 図 8 には、上記液晶駆動装置としての信号線駆動回路 D D の更に他の一実施例の概略ブロック図が示されている。この実施例では、デコーダ回路 D E C も D E C 0 ~ D E C 2 のように 3 つ設けて、デコーダ回路も含めて外部からのみかけ上の動作周波数を 3 倍に速くするようにするものである。

【 0 0 3 2 】 図 9 には、上記液晶駆動装置としての信号線駆動回路 D D の他の一実施例の具体回路図が示されている。同図には、上記図 3 の実施例に対応したデジタル／アナログ変換回路 D A C、サンプリング／ホールド回路 S & H 及びスイッチ回路 S W の一実施例の具体的構成が示されている。

【 0 0 3 3 】 前記図 3 の実施例と同様にアナログ入力も可能にするために、デコーダ回路 D E C の出力部にはアンドゲート回路 G 1 ~ G 8 を介して階調電圧の選択信号がスイッチ M O S F E T Q 1 ~ Q 8 のゲートに伝えられる。また、アナログ入力信号 V I D E O は、スイッチ M O S F E T Q 9 を通して内部バス B U S に接続される。このスイッチ M O S F E T Q 9 のゲートには、インバータ回路 N を介して切り換え信号 A / D が供給される。この切り換え信号 A / D は、上記アンドゲート回路 G 1 ~ G 8 の制御信号としても用いられる。サンプリング／ホールド回路 S & H と駆動出力回路 O B の構成は、前記図 4 の実施例と同様であるので、その説明を省略する。

【 0 0 3 4 】 上記切り換え信号 A / D をハイレベルの論理 1 にすると、アンドゲート回路 G 1 ~ G 8 がゲートを開いてデコーダ回路 D E C の出力信号をスイッチ M O S F E T Q 1 ~ Q 8 に伝えるので、デジタル入力信号 D 0 ~ D 2 に対応した階調電圧 V 0 ~ V 7 の中のいずれか 1 つの電圧が内部バス B U S に伝えられて、前記のようなデジタル入力動作が行われる。このとき、インバータ回路 N の出力信号はロウレベルにされるので、スイッチ M O S F E T Q 9 がオフ状態にされる。これにより、アナログ入力信号 V I D E O の入力が禁止される。

【 0 0 3 5 】 上記切り換え信号 A / D をロウレベルの論理 0 にすると、アンドゲート回路 G 1 ~ G 8 がゲートを閉じてデコーダ回路 D E C の出力信号に無関係に出力信号を全てロウレベルにする。これにより、バสดライバを構成するスイッチ M O S F E T Q 1 ~ Q 8 が全てオフ状態となり、バสดライバ側は出力ハイインピーダンス状態にされる。このときには、インバータ回路 N の出力信号はハイレベルにされるので、スイッチ M O S F E T Q 9 がオン状態にされる。これにより、アナログ入力信号 V I D E O が内部バス B U S に伝えられて、前記のようなデジタル入力動作とほぼ同様にアナログ入力動作が行われる。

【 0 0 3 6 】 上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) デジタル入力信号を階調電圧に変換し、その変換出力信号をサンプリングして保持する保持回路に取り込み、この保持回路の保持信号を駆動回路に供給して液晶表示パネルの信号線電極を駆動することにより、階調数に無関係に駆動出力回路が 1 ないし 2 個程度の M O S F E T により構成できるから、駆動出力回路部分でのチップ面積を小さくできるという効果が得られる。

【 0 0 3 7 】 (2) 上記 (1) により、内部バスが 1

本で構成できるから従来のデジタル入力の信号線駆動回路に比べて半導体集積回路に形成される信号線の数を大幅に低減できるからこの点からもチップ面積を小さくできるという効果が得られる。

【0038】(3) デジタル信号を階調電圧に変化する回路として、デジタル信号を受けるデコーダ回路と、このデコーダ回路の出力信号により階調電圧を出力させるアナログマルチプレクサからなるバスドライバを用いることにより簡単な回路により構成できるという効果が得られる。

【0039】(4) 信号変換回路としてのデジタル／アナログ変換回路又はそれと同等のデコーダ回路やバスドライバを複数のN個とし、それに対応してサンプリングして保持する保持回路を複数のN組に分割することにより、シリアルに入力されるデジタル入力信号の入力周期に対して信号変換回路と保持回路のサンプリング動作の周期がN倍に長くできるから、みかけ上の動作の高速化を実現できるという効果が得られる。

【0040】(5) 上記信号変換回路の出力と保持回路との間にアナログ入力も可能にする切り換えアナログスイッチ回路を設けることにより、表示機能の多様化が可能になるという効果が得られる。

【0041】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図4において、スイッチとキャパシタからなるサンプリング／ホールド回路を縦列形態に接続し、前段の回路で1ライン分の信号の取り込みが終了したら一斉に後段の回路に転送し、それを駆動出力回路に伝えて信号線の駆動を行うようにするものであってもよい。また、サンプリング／ホールド回路は、1つのスイッチとキャパシタから構成してもよい。この構成では、1水平走査期間でシリアルにアナログ化された信号電圧の取り込みを行い、水平帰線期間内に信号線を駆動する構成とすればよい。このため、走査線駆動回路は、上記のような信号線駆動回路の動作に対応して水平帰線期間にTFTトランジスタをオン状態にするような選択信号を形成すればよい。

【0042】図4や図9のスイッチMOSFETは、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSスイッチ回路を用いる構成としてもよいし、Pチャンネル型MOSFETを用いるものであってもよい。デジタル信号をアナログ信号又は階調電圧に変換する信号変換回路の構成は、種々の実施形態を採ることができる。同様に駆動出力回路も単なるソースフォロワ回路のような単純な回路により構成するものであってもよい。この発明は、液晶駆動装置として広く利用できる。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、デジタル入力信号を階調電圧に変換し、その変換出力信号をサンプリングして保持する保持回路に取り込み、この保持回路の保持信号を駆動回路に供給して液晶表示パネルの信号線電極を駆動することにより、階調数に無関係に駆動出力回路が1ないし2個程度のMOSFETにより構成できるから、駆動出力回路部分でのチップ面積を小さくできる。

【図面の簡単な説明】

【図1】この発明に係る液晶駆動装置としての信号線駆動回路DDの一実施例を示す概略ブロック図である。

【図2】この発明に係る液晶駆動装置としての信号線駆動回路DDの他の一実施例を示す概略ブロック図である。

【図3】この発明に係る液晶駆動装置としての信号線駆動回路DDの他の一実施例を示す概略ブロック図である。

【図4】この発明に係る液晶駆動装置としての信号線駆動回路DDの一実施例を示す回路図である。

【図5】図4の実施例回路の動作を説明するためのタイミング図である。

【図6】この発明に係る液晶駆動装置としての信号線駆動回路DDの更に他の一実施例を示す概略ブロック図である。

【図7】図6の実施例回路の動作を説明するためのタイミング図である。

【図8】この発明に係る液晶駆動装置としての信号線駆動回路DDの更に他の一実施例を示す概略ブロック図である。

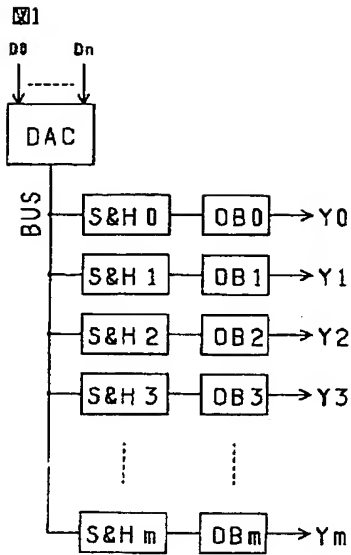
【図9】この発明に係る液晶駆動装置としての信号線駆動回路DDの他の一実施例を示す回路図である。

【図10】この発明が適用される液晶表示装置の一実施例を示す概略ブロック図である。

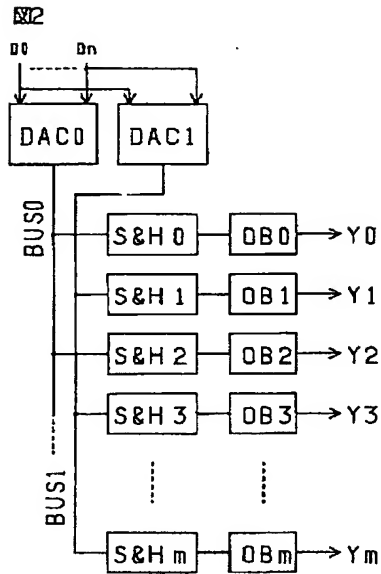
【符号の説明】

DAC, DAC0, DAC1…デジタル／アナログ変換回路、S&H0～S&Hm…サンプリング／ホールド回路、OB0～OBm…駆動出力回路、Y0～Ym…信号線、BUS, BUS0～BUS3…内部バス、SW…スイッチ回路、DEC, DEC0～DEC2…デコーダ回路、BDV, BDV0～BDV2…バスドライバ、S00, S01…スイッチ、C00, C01…キャパシタ、OB00, OB01…駆動出力回路、G1～G8…アンドゲート回路、Q1～Q9…MOSFET、LCD…液晶表示パネル、PX…画素、GDL, GDR…走査線駆動回路、DD…信号線駆動回路、TG…タイミング制御回路。

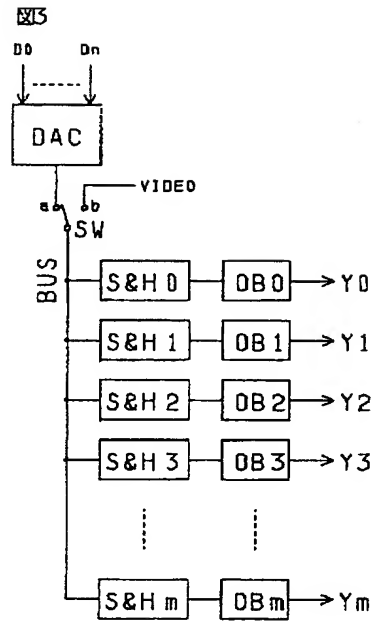
【図 1】



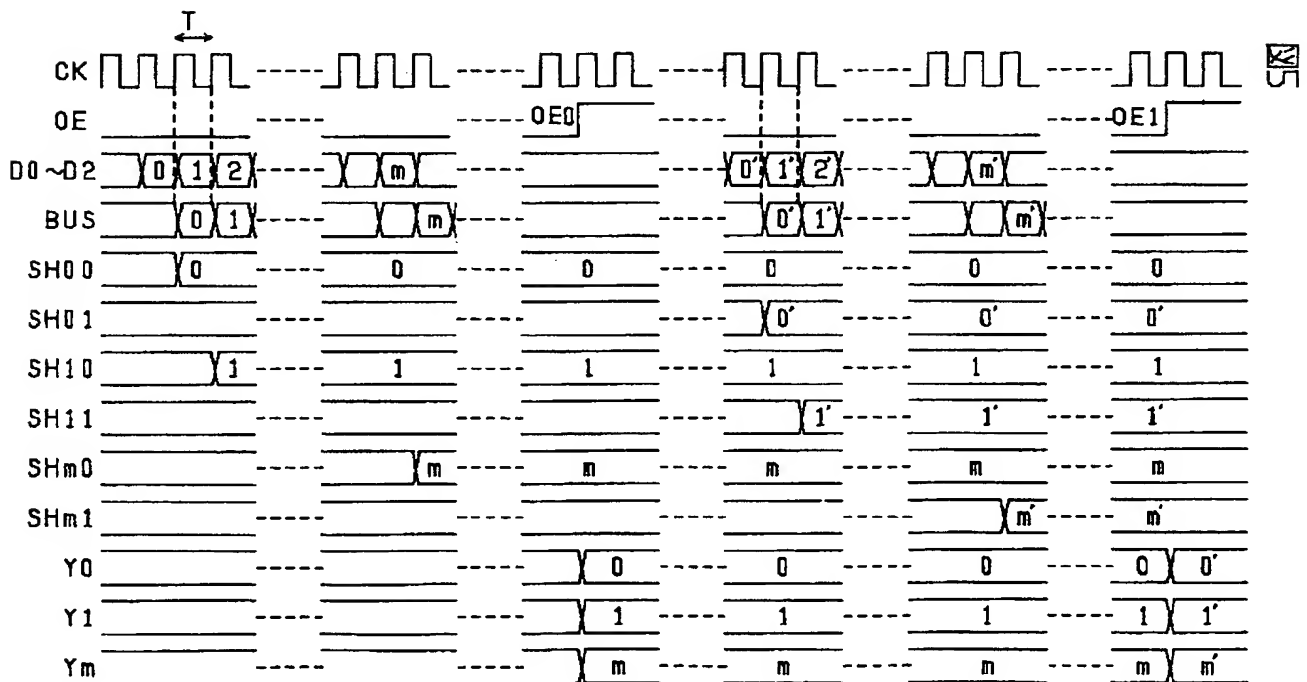
【図 2】



【図 3】

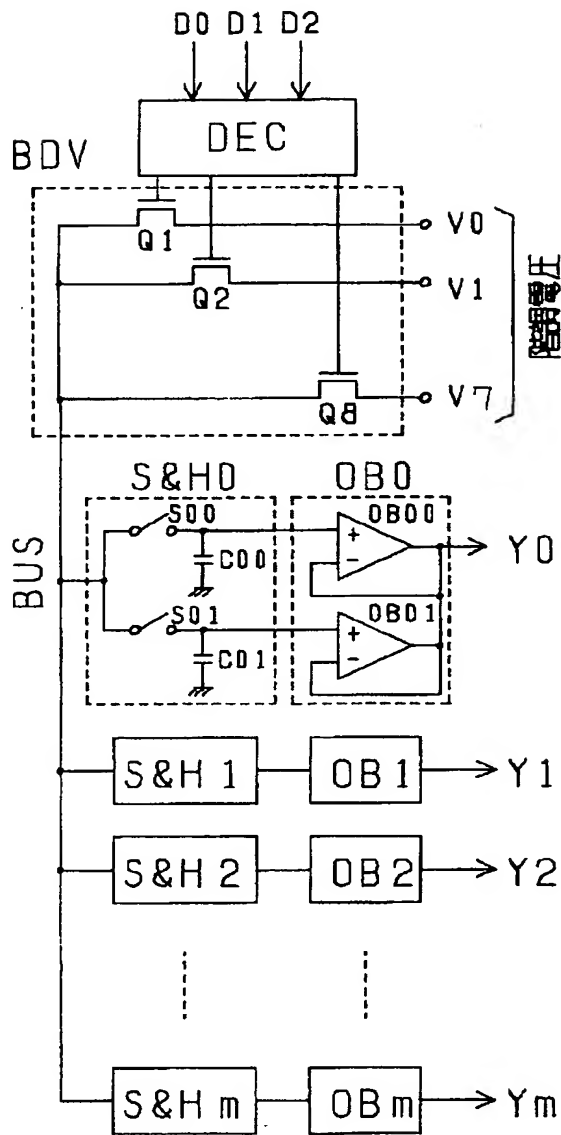


【図 5】



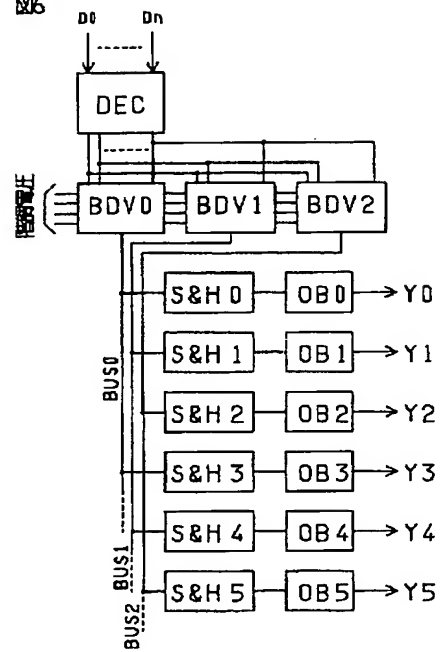
【図4】

図4



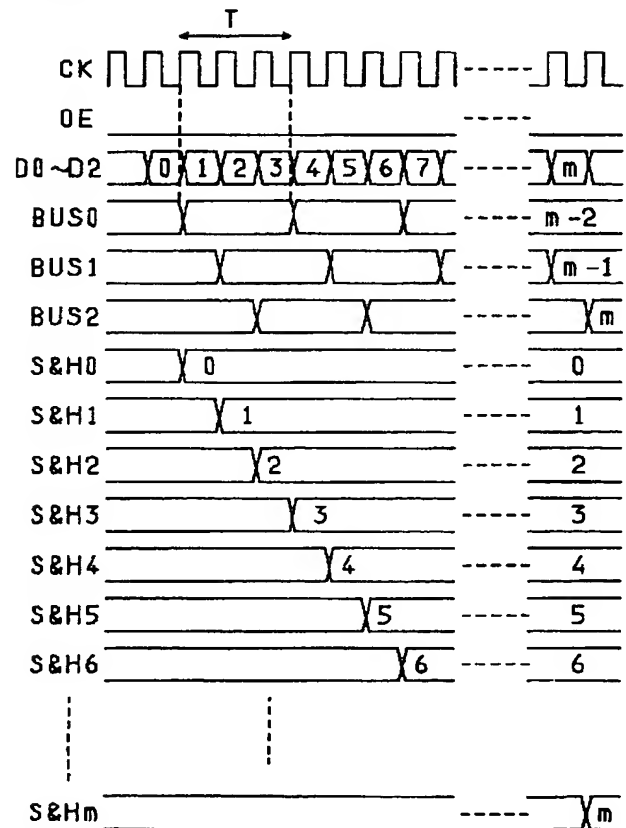
【図6】

図6

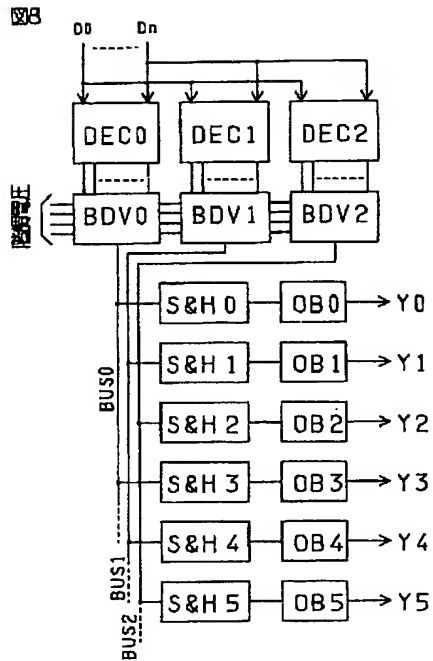


【図7】

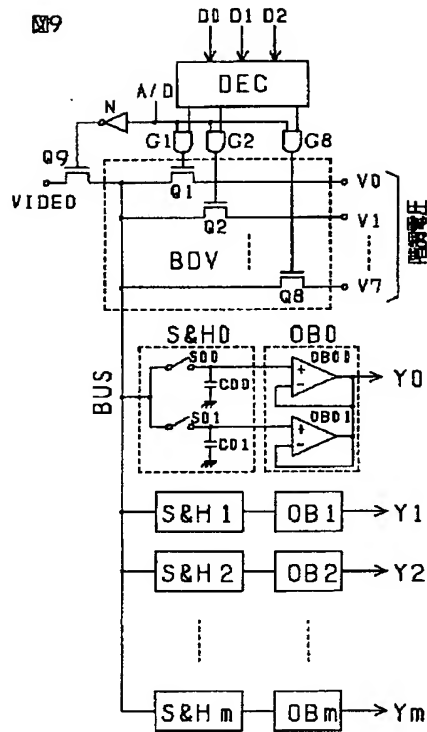
図7



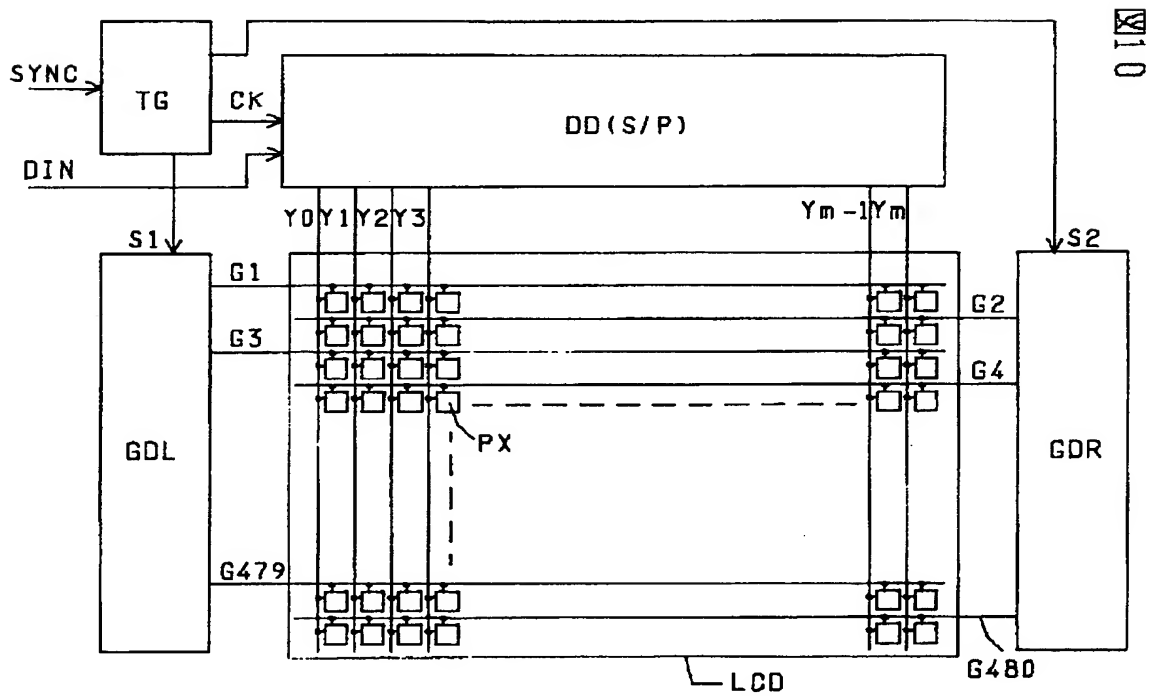
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 安川 信治
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 渡辺 浩
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72)発明者 北川 克之
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内